

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333103

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

G 0 6 K 19/07

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 K 19/ 00

J

審査請求 未請求 請求項の数 8 F D (全 22 頁)

(21) 出願番号 特願平5-353820

(22) 出願日 平成5年(1993)12月28日

(31) 優先権主張番号 特願平5-64347

(32) 優先日 平5(1993)3月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小田 善造

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 桜田 徳明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

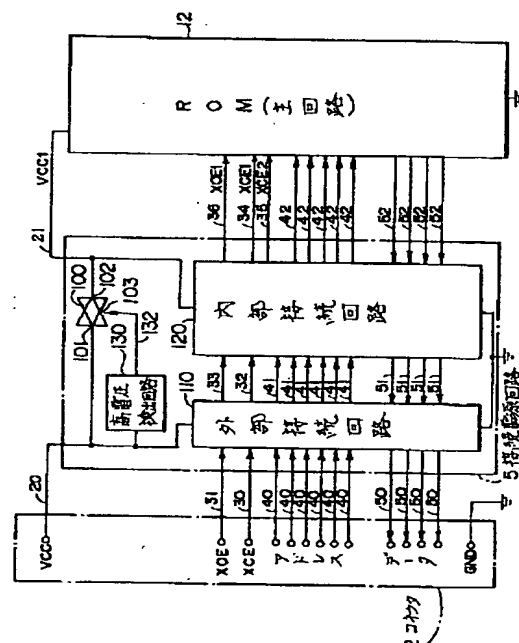
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 I Cカード

(57) 【要約】

【目的】 動作電圧が3.3Vで最大定格電圧が5V以下の最先端ICを登載し、新規の3.3V規格で使用でき、従来の5V規格でも使用できるか、あるいは、前記の最先端ICが破壊されることのない大規模、高速、低消費電力、高信頼性のICカードを提供することが目的である。

【構成】 接続電源回路5は、アナログスイッチ100、外部接続回路110、内部接続回路120、高電圧検出回路130を含む。ホストシステムの電源VCCの電圧が、上限電圧4V以下の時はアナログスイッチ100を通してそのままの電源電圧が主回路であるROM12に印加される。一方電源電圧が、上限電圧4Vより大きい時はアナログスイッチ100を非導通とし、ROM12にはこの電源電圧が印加されない。これによりROM12の破壊を防止できる。また、更に定電圧回路を設ければ、電源電圧が上限電圧4Vより大きい時でも定電圧化された電源電圧3.3VをROM12に供給できる。



【特許請求の範囲】

【請求項1】 主回路と、コネクタと、このコネクタと前記主回路との間に設けられた接続電源回路とを含んで構成されるI Cカードであって、

前記接続電源回路は、外部接続回路と内部接続回路とスイッチ手段と電圧検出手段とを含み、

前記外部接続回路では、前記ホストシステムと前記内部接続回路との間での信号の接続が行われるとともに、電源が前記ホストシステムの電源である第1の電源と共通化され、

前記内部接続回路では、前記外部接続回路と前記主回路との間での信号の接続が行われるとともに、電源が前記主回路の電源である第2の電源と共通化され、

前記スイッチ手段では、前記電圧検出手段での検出結果に基づいて前記第1の電源と前記第2の電源との間を直接あるいは整流素子を介して導通状態・非導通状態にするスイッチ動作が行われ、

前記電圧検出手段では、前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値があらかじめ設定された所定電圧の絶対値以下である場合には前記スイッチ手段により前記第1の電源と第2の電源との間が導通状態にされ、第1の電源の電圧の絶対値が前記所定電圧の絶対値よりも大きい場合には前記スイッチ手段により前記第1の電源と第2の電源との間が非導通状態にされることを特徴とするI Cカード。

【請求項2】 請求項1において、

前記接続電源回路は定電圧回路を更に含み、

前記定電圧回路では前記第1の電源の電圧が定電圧化され、前記スイッチ手段により前記第1の電源と第2の電源が非導通状態にされた場合にこの定電圧化された電圧により前記第2の電源の供給が行われることを特徴とするI Cカード。

【請求項3】 請求項1または2のいずれかにおいて、前記スイッチ手段が第1、第2、第3の端子を有するCMOS型のトランスファークロークで構成され、前記第1の端子は前記第1の電源に接続され、前記第2の端子は直接あるいは整流素子を介して前記第2の電源に接続され、前記電圧検出手段の検出結果に基づいてゲート電極である前記第3の端子を制御することにより前記第1の端子と第2の端子との間を導通状態・非導通状態にするスイッチ動作が行われることを特徴とするI Cカード。

【請求項4】 請求項1乃至3のいずれかにおいて、前記所定電圧が、前記主回路の最大定格電圧と前記主回路の動作電圧との間の電圧である上限電圧に設定されることを特徴とするI Cカード。

【請求項5】 請求項4において、

前記電圧検出手段は高電圧検出手段と低電圧検出手段とを含み、

前記主回路の下限動作が保証される電圧が下限電圧とし

て設定され、

前記低電圧検出手段では前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値が前記下限電圧の絶対値以下である場合には少なくとも前記主回路が動作しないよう設定され、

前記高電圧検出手段では前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値が前記上限電圧の絶対値以下である場合には前記スイッチ手段により前記第1の電源と第2の電源との間が導通状態にされ、第1の電源の電圧の絶対値が前記上限電圧の絶対値よりも大きい場合には前記スイッチ手段により前記第1の電源と第2の電源との間が非導通状態にされることを特徴とするI Cカード。

【請求項6】 請求項1乃至5のいずれかにおいて、

15 前記接続電源回路が単一のCMOSチップ上に形成され、

前記CMOSチップは、前記内部接続回路以外の回路・手段用に設けられた単数又は複数の第1のウエルと、前記内部接続回路用に設けられ単数又は複数の第2のウエルとを含み、

20 前記第1のウエルには前記第1の電源が接続され、前記第2のウエルには前記第2の電源が接続され、前記第1のウエルと前記第2のウエルとが電気的に分離されていることを特徴とするI Cカード。

25 【請求項7】 請求項1乃至5のいずれかにおいて、前記接続電源回路が単一のCMOSチップ上に形成され、

前記内部接続回路を設ける代わりに、ゲート電極が前記外部接続回路の信号端子に接続され、ソース領域が前記CMOSチップの基板の電源である基準電源に接続され、ドレイン領域が前記主回路の信号端子に接続されるときに抵抗性の素子を介して前記第2の電源に接続されたドライバートランジスタが設けられたことを特徴とするI Cカード。

30 【請求項8】 請求項1乃至5のいずれかにおいて、前記接続電源回路は前記内部接続回路を含まず、前記外部接続回路では、前記ホストシステムと前記主回路との間での信号の接続が行われ、

前記接続電源回路と前記主回路とが単一のCMOSチップ上に形成され、

前記CMOSチップは、前記接続電源回路用に設けられた単数又は複数の第1のウエルと、前記主回路用に設けられた単数又は複数の第2のウエルとを含み、

45 前記第1のウエルには前記第1の電源が接続され、前記第2のウエルに前記第2の電源が接続され、前記第1のウエルと前記第2のウエルとが電気的に分離されていることを特徴とするI Cカード。

【発明の詳細な説明】

【0001】

50 【産業上の利用分野】 本発明はI Cカードに関する。

【0002】

【従来の技術】従来より集積回路を含むカード記憶装置としてICカードと呼ばれる記憶装置が知られている。このICカードとしてはメモリーカード、I/Oカード、ISO準拠のICカードなどが知られている。ここで、ISO準拠のICカードとは、集積回路としてマイクロプロセッサ、メモリーを含むICカードであり、セキュリティ機能等をもたせることが可能なことから医療用途、金融用途等に広く使用されている。また、メモリーカードとは、集積回路としてマイクロプロセッサを含まずメモリーだけを含むICカードであり、パーソナルコンピュータ、電子楽器・ゲーム機等に用いられる携帯可能な記憶装置として広く使用されている。そして、メモリーカードには、メモリーの種類に応じてSRAMカード、DRAMカード、マスクROMカード、EPROMカード、OTPROMカード、EEPROMカード、フラッシュ型EEPROMカード、これらのメモリーの混在型カード等、多くのメモリーカードが知られている。更に、I/Oカードとは、モデム、LAN、インサートネット等の諸機能を有するICカードであり、パーソナルコンピュータ等に用いられる着脱可能な入出力装置として広く使用されている。メモリーカード、I/Oカードには日本のJEIDA（日本電子工業振興協会）と米国のPCMCIA（Personal Computer Memory Card International Association）との協同により世界的な統一規格が制定されている。詳しくは「ICメモリーカードガイドライン（パソコン用ICメモリーカードの標準仕様）」（社団法人日本電子工業振興協会 平成3年9月刊）を参照されたい。

【0003】さて、これらのICカードはパーソナルコンピュータ、ATM装置等の電子装置（以下、「ホストシステム」と呼ぶ）に設けられたカードスロットに装填して使用されることになる。ここでは、メモリーカードを例にとって説明する。

【0004】図14には、従来のROM（読み出し専用メモリ）カードのブロック図が示される。カード上には、コネクタ2、接続回路10及び主回路である数個のROM12等が設けられている。ここで、コネクタ2は使用時にホストシステムのカードスロットに接続するために用いられるものであり、電源、制御信号30、31、アドレス信号40、データ信号50用の各端子を有している。また、接続回路10は、コネクタ2と主回路であるROM12との間に設けられており、図示しないデコーダ回路、出力回路等を含んでいる。そして、このデコーダ回路により、ホストシステムからの制御信号30、31、アドレス信号40から選択信号が生成され、この選択信号がROM12に供給される。また、この出力回路により、デコーダ回路、ROM12からのデータ出力が規格に合った仕様でコネクタ2を経由してホスト

システムへと供給される。ここで、ROM12、接続回路10は、ともに5V単一電源で動作する。従って、ROM12、接続回路10の電源はともに、コネクタ2の5V電源端子に直結された外部電源線20により供給されることになる。

【0005】図15には、従来のSRAM（静的記憶）カードのブロック図が示される。このSRAMカードの構成において前述のROMカードの構成と異なる点は以下の通りである。即ち、電源遮断時にデータを保持させるために、SRAMカードには内蔵電池80、逆流防止用の整流素子例えばダイオード70、71、電源電圧の低下を検出する低電圧検出回路135等が更に設けられている。また、接続回路10内には、電源遮断時に低電圧検出回路135からの検出信号を受けてSRAMを待機状態にするための回路等も付加されている。

【0006】

【発明が解決しようとする課題】さて、半導体集積回路（以下、ICと記す）の電源電圧は、初期の時代のMOS（金属-酸化物-半導体）型ICでは、たとえば12ボルト（以下、「V」と略記する）又は12Vと5Vの2電源であった。しかし、近年はかなり長期に亘って5V単一電源が主流となっている。これはバイポーラ型トランジスタを用いたTTL（Transistor Transistor Logic）でも同様である。このため、パーソナルコンピュータ、ATM装置等のホストシステムも、5V電源の規格で作られたものが主流となっている。

【0007】一方、近年の半導体技術の進歩発展の中で、また、ICの大規模化・大容量化にともなって、最先端のICの電源は5Vから3.3Vまたは3Vに移りつつある。原因は2つある。

【0008】1つ目の原因は、集積回路を構成するMOSFET（金属-酸化物-半導体電解効果トランジスタ）の微細化に伴う最大定格電圧の低下である。即ち、MOSFET微細化の指標であるチャンネル長は0.5μmを切りつつあり、このような微細化されたMOSFETに対して、5V電源で動作する集積回路と同じ最大定格電圧を保証するのは困難となった。このため、EIAJ規格では動作電源電圧3.3Vおよび3Vの集積回路の最大定格電圧の最小値は4.6Vと決められている。

【0009】2つ目の原因は、大規模化に伴う消費電力の増大を、電源電圧を下げることにより抑えるためである。即ち、MOSFETの消費電力は、ゲート容量等の負荷容量、クロック周波数、電源電圧に比例する。従って、この電源電圧を3.3Vまたは3Vにすることで、消費電力を低減することができる。

【0010】このような状況を受け、JEIDAではメモリーカードについて、従来の5V規格に加え3.3V規格を1993年3月までに制定しようとしている。

【0011】さて、I Cカードを大容量で高速にする為には前述の最先端の技術で製造することが望ましい。従って、I Cカードも、これからは3.3V又は3V規格のものが主流となると考えられる。しかし、このI Cカードが装填されるホストシステムについては、既に5V規格で作られたものが普及しており、将来においてもこれらのホストシステムが必ずしも3.3V又は3V規格のものばかりになるとは限らない。従って、3.3V又は3V規格で作られたI Cカードについては、3.3V又は3V規格のカードスロットをもったホストシステムに対応できるとともに、既に普及している5V規格のカードスロットをもったホストシステムにも対応できるものであることが望ましい。

【0012】しかし、3.3V又は3V規格のI Cカードは、前述したように電源の最大定格電圧が低く(4.6V)、このため、既に普及している5V規格のホストシステムに使用した場合には、ダメージが加わって劣化したり、ひどいときには破壊されるという問題が生じる。一方、この3.3V又は3V規格のI Cカードが、3.3V又は3V規格のホストシステムに使用された場合には、通常と変わりなく動作させる必要がある。従って、5V規格のホストシステムに使用しても破壊されず、あるいは正常に動作するとともに、3.3V又は3V規格のホストシステムに使用された場合には通常と変わりなく動作するI Cカードが望まれる。

【0013】さて、I Cカードの装填時におけるI Cカードの破壊を防止する技術としては、例えば特開平2-259853号公報に記載された技術がある。しかし、この従来技術は、EEPROMカードにおいて、装填時に信号端子に印加される高電圧に対して保護を行うべく、信号端子に定電圧ダイオード、抵抗素子等を挿入する技術である。従って、この従来技術は、I Cカードそれ自体ではなく、I Cカードの信号端子に対する保護の技術である。更に、この従来技術には、5V規格のホストシステム装填時には電源を遮断あるいは電源を遮断して定電圧を供給し、3.3V又は3V規格のホストシステム装填時には、通常通り電源を供給するという思想については何等開示されていない。

【0014】また、特開平4-30208号公報には、I Cカードを装填又は抜き取った場合に、外部電源又はバックアップ用電池の電圧を検出して、この電圧が最低動作電圧以下である場合にはメモリの動作を不可にする技術について開示されている。しかし、この従来技術ではI Cの最低動作電圧のみが検出され、最大定格電圧については何等検出されない。しかも電圧を検出した後は、単にメモリの動作を不可にして記憶されているデータの喪失を防止するだけであり、電源を遮断あるいは電源を遮断して定電圧を供給するという思想については何等開示されていない。

【0015】また、電源の規格が異なる電子機器を通信

ケーブル等で接続する場合には、以下の技術が考えられる。即ち、例えば5V規格の電子装置の通信ケーブルのコネクタ形状と、3V規格の電子装置の通信ケーブルのコネクタ形状とを異ならせ、接続できないようにする技術である。しかし、I Cカードは携帯容易とするために小型に作られており、このようにコネクタの形状を異ならせるのは容易ではない。

【0016】また、I Cカードでは、その汎用性の要求により、コネクタに設けられた端子の本数も少なく、端子に対する電源、信号の割当も規格化されている。従って、例えば5V電源用端子と、3.3V又は3V電源用端子を両方別々に設けるというような構成とすることも困難である。

【0017】また、上述の例のようにお互いに独立の電源をもった電子装置を接続させる場合には、信号のみレベルシフトする回路を設ければよく、お互いの電源端子については単に接続しないようにするだけで正常な動作が保証される。これに対して、I Cカードでは、電源についてはホストシステムの電源に従属しているという特殊性をもっている。従って、単にお互いの電源端子が接続しないようにするだけでは、3.3V又は3V規格のホストシステムに装填した場合にも動作しないことになってしまう不都合となる。

【0018】また、I Cカードは、常にホストシステムに装填されて使用されるというよりも、ユーザーに関するデータが記憶されたI Cカードをユーザーが携帯し、色々な種類の電子装置に装填され使用されるという特殊性をもっている。例えばATM装置に使用されるI Cカードでは、セキュリティコード等のユーザに関するデータが記憶されたI Cカードをユーザーが持ち歩き、不特定多数のATM装置にこのI Cカードが装填され使用される。このような使用状況では、I Cカードが装填されるATM装置の電源規格は不特定であり、従来のI CカードではI Cカードを装填する毎にユーザーに対して電源規格の確認を行うよう要求する必要が生ずる。しかし、このような確認を装填する毎にユーザーに強要するのは、本来I Cカードがもっている汎用性、利便性等の特質を損なうことになり好ましいことではない。更に、誤って異なる電源規格の装置に装填し、I Cカードが破壊されセキュリティコード等のユーザーに関するデータが破壊されるという事態が生ずると、本来I Cカードがもっている高信頼性、高セキュリティ性等の特性を損なうことになってしまう。

【0019】更に、3.3V又は3V規格のI Cカードが、3.3V又は3V規格のホストシステムに装填された場合には、通常通り適正に動作しなければならない。従って、例えばホストシステムから供給される電源電圧に電圧降下が生ずるのは好ましいことではない。なぜならば、この電源電圧の電圧降下が大きくなると、アドレス信号、コントロール信号等の電圧と電源電圧との間の

電圧差が大きくなり、ラッチアップ等の問題が生ずる可能性があるからである。従って、この電圧降下は生じないか、あるいは、生じてなるべく小さい電圧降下であることが望ましい。

【0020】本発明は、以上のような課題を解決するためになされたものであり、その目的とするところは、新規の電源電圧の規格の低いホストシステムにも使用でき、しかも従来の電源電圧の規格の高いホストシステムに接続使用しても劣化したり破壊されることがない、消費電力が少ないI Cカードを提供することにある。

【0021】また、本発明の別の目的は、新規の電源電圧の規格の低いホストシステムにも使用でき、しかも従来の電源電圧の規格の高いホストシステムでも使用できる、消費電力が少ないI Cカードを提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明に係るI Cカードは、主回路と、コネクタと、このコネクタと前記主回路との間に設けられた接続電源回路とを含んで構成されるI Cカードであって、前記接続電源回路は、外部接続回路と内部接続回路とスイッチ手段と電圧検出手段とを含み、前記外部接続回路では、前記ホストシステムと前記内部接続回路との間での信号の接続が行われるとともに、電源が前記ホストシステムの電源である第1の電源と共通化され、前記内部接続回路では、前記外部接続回路と前記主回路との間での信号の接続が行われるとともに、電源が前記主回路の電源である第2の電源と共通化され、前記スイッチ手段では、前記電圧検出手段での検出結果に基づいて前記第1の電源と前記第2の電源との間を直接あるいは整流素子を介して導通状態・非導通状態にするスイッチ動作が行われ、前記電圧検出手段では、前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値があらかじめ設定された所定電圧の絶対値以下である場合には前記スイッチ手段により前記第1の電源と第2の電源との間が導通状態にされ、第1の電源の電圧の絶対値が前記所定電圧の絶対値よりも大きい場合には前記スイッチ手段により前記第1の電源と第2の電源との間が非導通状態にされることを特徴とする。

【0023】また、請求項2の発明は、請求項1において、前記接続電源回路は定電圧回路を更に含み、前記定電圧回路では前記第1の電源の電圧が定電圧化され、前記スイッチ手段により前記第1の電源と第2の電源が非導通状態にされた場合にこの定電圧化された電圧により前記第2の電源の供給が行われることを特徴とする。

【0024】また、請求項3の発明は、請求項1または2のいずれかにおいて、前記スイッチ手段が第1、第2、第3の端子を有するCMOS型のトランスファークラップで構成され、前記第1の端子は前記第1の電源に接続され、前記第2の端子は直接あるいは整流素子を介し

て前記第2の電源に接続され、前記電圧検出手段の検出結果に基づいてゲート電極である前記第3の端子を制御することにより前記第1の端子と第2の端子との間を導通状態・非導通状態にするスイッチ動作が行われることを特徴とする。

【0025】また、請求項4の発明は、請求項1乃至3のいずれかにおいて、前記所定電圧が、前記主回路の最大定格電圧と前記主回路の動作電圧との間の電圧である上限電圧に設定されることを特徴とする。

10 【0026】また、請求項5の発明は、請求項4において、前記電圧検出手段は高電圧検出手段と低電圧検出手段とを含み、前記主回路の下限動作が保証される電圧が下限電圧として設定され、前記低電圧検出手段では前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値が前記下限電圧の絶対値以下である場合には少なくとも前記主回路が動作しないよう設定され、前記高電圧検出手段では前記第1の電源の電圧が検出され、この第1の電源の電圧の絶対値が前記上限電圧の絶対値以下である場合には前記スイッチ手段により前記第1の電源と第2の電源との間が導通状態にされ、第1の電源の電圧の絶対値が前記上限電圧の絶対値よりも大きい場合には前記スイッチ手段により前記第1の電源と第2の電源との間が非導通状態にされることを特徴とする。

25 【0027】また、請求項6の発明は、請求項1乃至5のいずれかにおいて、前記接続電源回路が単一のCMOSチップ上に形成され、前記CMOSチップは、前記内部接続回路以外の回路・手段用に設けられた単数又は複数の第1のウェルと、前記内部接続回路用に設けられ単数又は複数の第2のウェルとを含み、前記第1のウェルには前記第1の電源が接続され、前記第2のウェルには前記第2の電源が接続され、前記第1のウェルと前記第2のウェルとが電気的に分離されていることを特徴とする。

35 【0028】また、請求項7の発明は、請求項1乃至5のいずれかにおいて、前記接続電源回路が単一のCMOSチップ上に形成され、前記内部接続回路を設ける代わりに、ゲート電極が前記外部接続回路の信号端子に接続され、ソース領域が前記CMOSチップの基板の電源である基準電源に接続され、ドレイン領域が前記主回路の信号端子に接続されるとともに抵抗性の素子を介して前記第2の電源に接続されたドライバー用トランジスタが設けられたことを特徴とする。

45 【0029】また、請求項8の発明は、請求項1乃至5のいずれかにおいて、前記接続電源回路は前記内部接続回路を含まず、前記外部接続回路では、前記ホストシステムと前記主回路との間での信号の接続が行われ、前記接続電源回路と前記主回路とが単一のCMOSチップ上に形成され、前記CMOSチップは、前記接続電源回路用に設けられた単数又は複数の第1のウェルと、前記主回路用に設けられた単数又は複数の第2のウェルとを含

み、前記第1のウエルには前記第1の電源が接続され、前記第2のウエルに前記第2の電源が接続され、前記第1のウエルと前記第2のウエルとが電氣的に分離されていることを特徴とする。

【0030】

【作用】請求項1の発明に係るI Cカードによれば、あらかじめ設定された所定電圧以下の電源電圧を供給するホストシステムにI Cカードが装填された場合には、電圧検出手段、スイッチ手段によりホストシステムの電源である第1の電源と主回路の電源である第2の電源とが、直接にあるいは整流素子を介して導通状態となる。これによりホストシステムの電源がそのまま主回路に供給されることになる。一方、あらかじめ設定された所定電圧より大きい電源電圧を供給するホストシステムにI Cカードが装填された場合には、電圧検出手段、スイッチ手段により第1の電源と第2の電源とが非導通状態となる。これにより主回路に対するホストシステムの電源の供給が遮断されることになる。従って、主回路が劣化したり、破壊されたりすることを有効に防止できる。

【0031】また、請求項2の発明によれば、あらかじめ設定された所定電圧以下の電源電圧を供給するホストシステムにI Cカードが装填された場合には、電圧検出手段、スイッチ手段によりホストシステムの電源である第1の電源と主回路の電源である第2の電源とが、直接にあるいは整流素子を介して導通状態となる。これによりホストシステムの電源がそのまま主回路に供給されることになる。この場合、定電圧回路は動作しないように設定することが望ましい。一方、あらかじめ設定された所定電圧より大きい電源電圧を供給するホストシステムにI Cカードが装填された場合には、電圧検出手段、スイッチ手段により第1の電源と第2の電源とが非導通状態となる。そして、定電圧回路により定電圧化された電圧が主回路に供給されることになる。これにより前記所定電圧以上の電源電圧を供給するホストシステムに装填されても正常に動作することが可能となる。

【0032】また、請求項3の発明によれば、スイッチ手段がCMOS型のトランスファークロークゲートで構成される。従って、スイッチ手段が導通状態となった場合に、主回路で消費される負荷電流が増えてもそれ程電圧降下が生じない。この結果、電源電圧を容易に推奨動作電圧の範囲に収めることができるとともに、ラッチアップ等が生ずるのを効果的に防止できる。

【0033】また、請求項4の発明によれば、前記所定電圧が主回路の最大定格電圧と主回路の動作電圧との間の電圧である上限電圧に設定される。従って、ホストシステムの電源電圧がこの上限電圧より大きい場合には、この電源電圧が主回路に印加されないことが保証され、従って、主回路に最大定格電圧以上の電圧が印加されないことが保証される。また、ホストシステムの電源電圧がこの上限電圧以下の場合には、そのままホストシステ

ムの電源電圧が主回路に印加され、これにより主回路の適正な動作が保証される。

【0034】また、請求項5の発明によれば、低電圧検出手段を新たに設けることにより下限電圧についても検出することが可能となる。そして、ホストシステムから供給される電源の電圧が、この下限電圧以下であった場合には、少なくとも主回路が動作しないような設定がなされることになる。

【0035】また、請求項6の発明によれば、接続電源回路が1チップ構成となり、内部接続回路以外の回路・手段用に設けられた第1のウエルと、内部接続回路用に設けられ第2のウエルとが電氣的に分離される。このように構成することにより、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できることになる。

【0036】また、請求項7の発明によれば、接続電源回路が1チップ構成となる。そして、ゲート電極が外部接続回路の信号端子に、ソース領域が基準電源に、ドレイン領域が主回路の信号端子に接続されるとともに抵抗性の素子を介して第2の電源に接続されたドライバー用トランジスタが設けられる。このように構成することにより、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できることになる。

【0037】また、請求項8の発明によれば、接続電源回路と主回路とが1チップ構成となる。そして、接続電源回路用に設けられた第1のウエルと主回路用に設けられた第2のウエルとが電氣的に分離される。このように構成することにより、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できることになる。

【0038】

【実施例】以下、本発明の好適な実施例について詳細に説明する。なお、以下の実施例の説明にあたっては、図面の簡素化のため、制御信号、アドレス入力、データ線等の信号線の本数を減じてある。また、本発明に直接関係の無い部分については説明、記載を省略している。また、本発明は3.3V規格のホストシステム、I Cカードのみならず3.3V未満の規格（例えば3V規格）のものにも当然に適用できるが、以下では3.3V規格に適用した場合を例にとり説明を行う。

【0039】（1）第1の実施例

図1には、本発明の第1の実施例に係るI Cカードのブロック図が示される。なお、本第1の実施例は主回路がROM12である場合の実施例である。

【0040】図1に示すように本第1の実施例は、コネクタ2、接続電源回路5、主回路であるROM12を含んで構成される。

【0041】図1に示す本第1の実施例は、図14に示す従来例のI Cカードと比較して、接続回路10が接続

電源回路5となっている点、及び、電源線が外部電源線20と内部電源線21とに分割されている点が異なっている。そして、外部電源線20と内部電源線21の接続・遮断は接続電源回路5により行われることになる。この構成により、メモリーカードの外部からROM12の最大定格電圧以上の電源電圧が印加された場合に、ROM12がダメージを受けることを有効に防止できることになる。

【0042】図1に示すように接続電源回路5は、アナログスイッチ100、外部接続回路110、内部接続回路120、高電圧検出回路130を含んで構成される。

【0043】アナログスイッチ100は第1、第2、第3の端子101、102、103を有しており、第1の端子101は外部接続線20に接続されている。この外部電源線20はコネクタ2の電源端子に直結しており、ホストシステムからの電源VCCをICカードに供給するための電源線である。また、第2の端子102は内部電源線21に接続されている。この内部電源線21は、主回路であるROM12及び内部接続回路120に電源VCC1を供給するための電源線である。また第3の端子103は高電圧検出回路130の出力である制御信号132に接続されている。そして、この第3の端子103が制御信号132により制御され、第1の端子101、第2の端子102間が導通状態・非導通状態にされる。

【0044】外部接続回路110は図示しない入力回路及び出力回路等を含んで構成される。そして、この入力回路には、ホストシステムからコネクタ2を経由してチップイネーブル信号XCE、アウトプットイネーブル信号XOEの制御信号30、31、アドレス信号40が入力される。そして、これらの信号30、31、40は各々出力信号32、33、41として内部接続回路120に出力されることになる。また、出力回路には内部接続回路120からの出力信号51が入力される。これらの出力信号51はデータ信号50としてホストシステムへと出力されることになる。

【0045】また、外部接続回路110の電源端子には外部電源線20が接続されており、これにより、外部接続回路110の電源はホストシステムの電源VCCと共通化されることになる。

【0046】なお、上述のXCE信号、XOE信号に冠した“X”は負論理であることを表わすものであり、以後同様に表記する。

【0047】内部接続回路120は、外部接続回路110からの出力信号32、33、41を受けてROM12への出力信号34、35、36、42を生成する論理回路・駆動回路や、ROM12からの出力信号52を受けて外部接続回路110への出力信号51を生成する回路等を含んでいる。

【0048】また、内部接続回路120の電源端子には

内部電源線21が接続されており、これにより、内部接続回路120の電源は主回路の電源VCC1と共通化されることになる。

【0049】高電圧検出回路130には外部電源線20が接続され、これによりホストシステムの電源VCCの検出が行われる。そして、高電圧検出回路130では、この検出電圧があらかじめ設定された所定電圧以上か、または所定電圧より小さいかが判断される。そして、この判断結果に基づいて制御信号132が生成され、アナログスイッチ100を導通状態・非導通状態にする制御が行われる。この制御は具体的には、例えば以下のように行われる。

【0050】即ち、前記所定電圧は、主回路であるROM12の最大定格電圧4.6VとROM12の動作電圧3.3Vとの間の電圧（この電圧を、以下「上限電圧」と呼ぶ）、例えば4Vに設定される。そして、ホストシステムの電源VCCの電圧がこの上限電圧4V以上の場合にはアナログスイッチ100を非導通状態にする制御が行われる。逆に、ホストシステムの電源VCCの電圧がこの上限電圧4Vより小さい場合には、アナログスイッチ100を導通状態にする制御が行われることになる。

【0051】次に、本第1の実施例の動作について説明する。

【0052】まず、本ICカードが、3.3V規格のホストシステムのカードスロットに装填された場合の動作について説明する。この場合には、外部電源線20には3.3Vの電源電圧が印加されることになる。高電圧検出回路130はこの電源電圧を検出する。そして、この検出された電源電圧（3.3V）は前記の上限電圧4Vよりも低い電圧となる。従って、高電圧検出回路130の制御によりアナログスイッチ100が導通状態にされる。この結果、外部電源線20と内部電源線21との間が導通し、内部電源線21にホストシステムの電源電圧3.3Vがそのまま印加される。そして、この印加された電源電圧により、内部接続回路120及び主回路であるROM12が動作することになる。

【0053】次に、本ICカードが、5V規格のホストシステムのカードスロットに装填された場合の動作について説明する。この場合には、外部電源線20には5Vの電源電圧が印加されることになる。高電圧検出回路130はこの電源電圧を検出する。そして、この検出された電源電圧（5V）は前記の上限電圧4Vよりも高い電圧となる。従って、高電圧検出回路130の制御によりアナログスイッチ100が非導通状態にされる。この結果、外部電源線20と内部電源線21との間が非導通状態になり、内部電源線21にはホストシステムの電源電圧5Vは印加されない。また、内部接続回路120と主回路12の電源は前述のように共通化されている。従って、内部接続回路120の信号34、35、36、4

2、52により、ROM12の端子に5V電圧の信号が加えられることもない。

【0054】以上のように本第1の実施例によれば、ICカードが3.3V規格である場合に、このICカードを3.3V規格のホストシステムに装填した場合には正常な動作が保証されるとともに、このICカードを5V規格のホストシステムに装填した場合にも、ICカードが劣化したり破壊されたりすることがない。これにより信頼性の向上を図ることができる。また、ICカードの主回路として動作電圧3.3Vで最大定格電圧5V以下の大規模で、高速、低消費電力の最先端のICを登載できる。この結果、ICカードの大規模化、高速化、低消費電力化等を図ることが可能となる。

【0055】また、本第1の実施例によれば、ホストシステムの電源電圧を高電圧検出回路130により検出して自動的に電源の切り換えを行っている。従って、コネクタ2の形状を異なるものにして5V規格のホストシステムに接続できないようにしたり、コネクタ2上に5V電源用端子と3.3V電源用端子を両方別々に設けるようにしたりする必要もなくなる。

【0056】また、本第1の実施例によれば、ICカードをユーザーが持ち歩き、不特定多数の電子装置にこのICカードを装填し使用するような場合にも、ICカードを装填する毎にユーザーに対して電源規格を確認するよう要求する必要がなくなる。従って、本来ICカードがもっている汎用性、利便性等の特質を損なうことがない。また、ユーザーが誤って異なる電源規格の装置に装填しても、セキュリティコード等のユーザーに関するデータが破壊されることがない。従って、本来ICカードがもっている高信頼性、高セキュリティ性等の特性を損なうこともない。

【0057】また、本第1の実施例では外部接続線20と内部接続線21の接続・遮断をアナログスイッチ100、例えばCMOS型トランスファークロスタックにより行っている。従って、ICカードが3.3V規格のホストシステムに装填され、アナログスイッチ（トランスファークロスタック）100が導通状態となった場合に、第1、第2の端子間での電圧降下がほとんど生じない。この結果、3.3Vの電源をそのまま主回路であるROM12に供給できる。これにより、アドレス信号、コントロール信号等の電圧と電源電圧との間に大きな電圧差が生じず、ラッチアップ等が生ずるのを有効に防止できる。

【0058】（2）第2の実施例

図2には、本発明の第2の実施例に係るICカードのブロック図が示される。

【0059】図2に示す本第2の実施例は、図1に示す第1の実施例と比較して接続電源回路6の構成が異なっている点が相違する。即ち、接続電源回路6は定電圧回路140を新たに含む構成となっている。この構成により、5V規格のホストシステムにICカードを装填した

場合にも、この5Vの電源電圧を3.3Vに定電圧化することによりICカードの動作が可能となる。

【0060】アナログスイッチ100、内部接続回路120の構成については、図1に示す本第1の実施例と同様であるため説明を省略する。

【0061】外部接続回路112は、XOE信号、XCE信号、アドレス信号用の入力回路、データ信号用の出力回路を含んでいる点において第1の実施例の外部接続回路110と同様の構成となる。但し、この出力回路にはしきい値電圧を下げたCMOSインバータが設けられている。ICカードが装填されるホストシステムの電源電圧が5Vであった場合に、内部接続回路120から振幅3.3Vの入力信号が入力されたても出力回路を動作させるためである。

【0062】高電圧検出回路134には外部電源線20に接続され、これによりホストシステムの電源VCCの検出が行われる。そして、高電圧検出回路134では、この検出電圧が所定電圧よりも大きいかなんかが判断される。即ち、第1の実施例と同様、主回路であるROM12の最大定格電圧4.6Vより低く、動作電圧3.3Vより高い電圧である上限電圧4Vよりも大きいかなんかが判断される。そして、この判断に基づいて制御信号132及び制御信号133が生成される。

【0063】制御信号132は、第1の実施例と同様にアナログスイッチ100の第3の端子103に入力される。また、制御信号133は定電圧回路140に入力される。そして、ホストシステムの電源電圧が上限電圧4Vよりも低い場合には、制御信号132によりアナログスイッチ100が導通状態に設定されるとともに、制御信号133により定電圧回路140が非動作状態に設定される。逆に、ホストシステムの電源電圧が上限電圧4Vよりも高い場合には、制御信号132によりアナログスイッチ100が非導通状態に設定されるとともに、制御信号133により定電圧回路140が動作状態に設定される。

【0064】なお、以上はアナログスイッチ100、定電圧回路140を2本の制御信号132・133で制御する場合について説明した。しかし、アナログスイッチ100、定電圧回路140の回路構成によっては、1本の制御信号のみでアナログスイッチ100、定電圧回路140を制御することも可能である。

【0065】定電圧回路140は、外部電源線20を介して入力されたホストシステムの電源電圧VCCを定電圧化して、3.3Vの電源電圧を内部電源線21に供給するための回路である。そして、この定電圧回路140を動作状態・非動作状態に設定する制御が前述のように制御信号133により行われることになる。

【0066】図3にはこの定電圧回路140の回路構成の一例が示され、図4にはこの定電圧回路140の入出力特性が示される。

【0067】図3に示すように、この定電圧回路140は、出力用のPチャンネルMOSトランジスタ144、動作状態・非動作状態設定用のNチャンネルMOSトランジスタ145、定電流回路146、VREF回路147、抵抗148、149を含んで構成される。

【0068】図3において、制御信号133が「H」の場合はNチャンネルMOSトランジスタ145が導通状態となり、定電圧回路140は動作状態に設定される。従って、図4に示すように、外部電源線20が4V以上であっても、内部電源線21の電圧は常に定電圧3.3Vに定電圧化されることになる。これにより主回路であるROM12及び内部接続回路120には常に3.3Vの電源が供給されることになる。

【0069】これに対して、制御信号133が「L」の場合はNチャンネルMOSトランジスタ145が非導通状態となり、定電圧回路140は非動作状態に設定される。定電圧回路140が非動作状態に設定されると、外部電源線20、内部電源線21から接地への電流経路が無くなるので電力を消費しなくなる。これにより、定電圧回路140の出力はハイインピーダンス状態に設定される。但し、この場合、図2において制御信号132によりアナログスイッチ100が導通状態にされるため、内部電源線21には、ホストシステムの電源VCCがそのまま供給されることになる。

【0070】次に、動作状態においてどのようにして定電圧回路140が定電圧を出力するかについて説明する。

【0071】VREF回路147からは主回路であるROM12の動作電圧に応じて予め設定され、入力電圧・出力電圧に依存しない基準電圧VREFが出力されている。そして、動作状態においては、この基準電圧VREFと、出力電圧を抵抗148、149により抵抗分割した電圧とがオペアンプ150により比較される。そして、オペアンプ150は、この比較結果に応じてPチャンネルMOSトランジスタ144を導通状態・非導通状態にする制御を行う。具体的には、出力負荷電流が増え出力電圧が設定電圧よりわずかに下がると、オペアンプ150の出力が「L」となりPチャンネルMOSトランジスタ144が導通状態にされる。これにより、外部電源線20から内部電源線21へと電流が流され出力電圧が引き上げられる。一方、出力負荷電流が減り出力電圧が設定電圧よりわずかに上がると、オペアンプ144の出力が「H」となりPチャンネルMOSトランジスタ144が非導通状態にされる。これにより外部電源線20から内部電源線21へと流れる電流が制限され、出力電圧が引き下げられる。この様にして出力電圧を一定電圧に保つことが可能となる。

【0072】なお、定電圧回路140の構成は図3に示す回路構成に限られるものではない。また、出力電圧も、主回路であるROM12の動作電圧の許容範囲内で

あれば、入力電圧に応じて3.3Vより若干上昇しても構わない。

【0073】次に、本第2の実施例の動作について説明する。

- 05 【0074】本ICカードが、3.3V規格のホストシステムに装填された場合は、前述の第1の実施例と同様の動作となる。即ち、この場合は高電圧検出回路134の出力である制御信号132によりアナログスイッチ100が導通状態となり、ホストシステムの電源VCCがそのまま主回路であるROM12、内部接続回路120に供給されることになる。なお、この場合には、定電圧回路140は制御信号133により非動作状態にされ、定電圧回路140は電力を消費しないとともに、その出力はハイインピーダンス状態となっている。
- 15 【0075】次に、本ICカードが、5V規格のホストシステムのカードスロットに装填された場合の動作について説明する。この場合には、高電圧検出回路134により検出されるホストシステムの電源電圧(5V)は上限電圧4Vよりも高い電圧となる。従って、制御信号132によりアナログスイッチ100は非導通状態にされる。一方、この場合には、制御信号133により定電圧回路140は動作状態にされるため、ホストシステムの電源電圧(5V)は定電圧回路140により3.3Vに定電圧化されて出力されることになる。この結果、内部電源線21には3.3Vの電源電圧が印加され、主回路であるROM12、内部接続回路120への3.3V電源の供給が行われることになる。

- 30 【0076】以上のように本第2の実施例によれば、ICカードが3.3V規格である場合に、このICカードを、3.3V規格のホストシステム、あるいは、5V規格のホストシステムのどちらに装填した場合でも、正常な動作が保証されることになる。これにより、ICカードの主回路として最先端の3.3V規格ICを搭載することができ、ICカードの大規模化、高速化、低消費電力化等を図ることが可能となる。

- 35 【0077】また、本第2の実施例によれば、前述した本第1の実施例と同様に、コネクタ2の形状を異なるものにして5V規格のホストシステムに接続できないようにしたり、コネクタ2上に5V電源用端子と3.3V電源用端子を両方別々に設けるようにしたりする必要もなくなる。また、ICカードを装填する毎にユーザーに対して電源規格を確認するよう要求する必要がなく、また、誤って異なる電源規格の装置に装填しても、ユーザーに関するデータが破壊されることもない。更に、例えば3.3V規格のホストシステムから得たデータを5V規格のホストシステムで利用したり、逆に5V規格のホストシステムから得たデータを3.3V規格のホストシステム利用したりすることもできる。このように、本第2の実施例によれば、ICカードの持つ汎用性、利便性、高信頼性、高セキュリティ性等の特性を更に高める
- 50

ことができる。

【0078】また、本第2の実施例では外部接続線20と内部接続線21の接続・遮断をアナログスイッチ100、例えばCMOS型トランスファークロークにより行っている。従って、I Cカードが3.3V規格のホストシステムに装填された場合に、ROM12で消費される負荷電流が増加しても、第1、第2の端子間での電圧降下はほとんど生じない。この結果、3.3Vの電源をそのままROM12に供給できることになる。これにより、アドレス信号、コントロール信号等の電圧と電源電圧との間に大きな電圧差が生じず、ラッチアップ等が生ずるのも有効に防止できることになる。

【0079】一方、5V規格のホストシステムに接続された場合には、内部電源線21には定電圧回路40により定電圧化された電源電圧が供給される。そして、この場合には、外部接続線20と内部接続線21との間の電圧差を十分に確保できる。従って、ROM12に必要とされる負荷電流が増加しても、定電圧回路140の出力電圧をROM12の推奨動作電圧3.0V~3.6Vの範囲に容易に収めることができる。この点、本第2の実施例においてアナログスイッチ100を設けず、ただ単に定電圧回路140により電源電圧を定電圧化する構成とした場合よりも優位となる。即ち、このようにただ単に電源電圧を定電圧化する回路構成にすると、ホストシステムの電源が5Vの場合は問題ないが、3.3Vの場合にはROM12の負荷電流により内部電源線21の電源電圧が3.3Vよりも低下してしまうからである。

【0080】(3) 第3の実施例

図5には、本発明の第3の実施例に係るI Cカードのブロック図が示される。

【0081】本第3の実施例は、前述の第1の実施例において主回路をSRAM13とした場合の実施例である。

【0082】即ち、本第3の実施例における外部接続回路115、内部接続回路125は、第1の実施例における外部接続回路110、内部接続回路120に比べ、ライトイネーブル信号XWE37に対応した回路等が付加されている。

【0083】また、電源遮断時にデータを保持させるための内蔵電池80、整流素子、例えばダイオード70、71も設けられている。ここで、ダイオード71は、内蔵電池80の電流が逆流するのを防止するために設けられたものである。従って、例えばアナログスイッチ100が導通状態となった場合には、この整流素子であるダイオード71を介して内部電源線21に電源電圧が供給されることになる。

【0084】さて、本第3の実施例では、第1の実施例に比べて、接続電源回路7が低電圧検出回路135を新たに含む構成となっている。この低電圧検出回路135は、I Cカードがホストシステムに装填された直後、又

は、I Cカードがホストシステムからはずされた場合、又は、メモリーカードが装填されたままホストシステムの電源が切られた場合等において、電源VCCの電圧低下を検出する回路である。この場合の検出電圧としては、I Cカードの推奨動作電圧の範囲を3.3V±0.3Vとした場合には、例えば2.7V程度とすることができる（以下、この電圧を下限電圧と呼ぶ）。

【0085】低電圧検出回路135は、電源VCCの電圧がこの下限電圧2.7Vより小さいと判断した場合には、主回路であるSRAM13を動作不可にする設定を行う。この場合の主回路の動作不可の設定は、例えば制御信号136又は制御信号137により行われる。例えば、制御信号136により上記動作不可の設定を行う場合には、この制御信号136を内部接続回路125に出力して、メモリ制御信号XCE1、XCE2、書き込み信号XWE1をディスエイブル状態にする。これによりSRAM13は動作不可の状態となる。また、制御信号137により前記動作不可の設定を行う場合には、この制御信号137を外部接続回路115に出力して、外部接続回路115がコネクタ3からの信号を何も受け付けないような状態に設定する。具体的には、外部接続回路115の入力端子等に、コネクタからの入力接続されたNAND回路等を設ける。そして、制御信号137によりこのNAND回路に“L”を入力する。これにより、外部接続回路115はコネクタ3からの信号を何も受け付けないような状態に設定されることになる。

【0086】さて、このような下限電圧を検出する動作はI Cカードに特有の動作である。即ち、この動作は電源がホストシステムの電源に従属しているというI Cカードの特殊性により必要となる動作である。図6には、このように下限電圧についても検出を行う場合の、I Cカードの処理手順を示すフローチャートが示される。以下、これについて簡単に説明する。

【0087】まず、ステップS1でI Cカードがホストシステムに装填されると、ステップS2に示すようにI Cカードに電源が印加され、電源VCCの電圧が徐々に上昇してくる。すると、ステップS3に示すように、低電圧検出回路135により電源VCCの電圧が下限電圧2.7Vより小さいか否かの検出が行われる。そして、電源VCCの電圧が2.7Vより小さいと判断されると、ステップS7に示すように少なくとも主回路について動作不可の設定がなされる。逆に、電源VCCの電圧が2.7V以上と判断されると、ステップS4に示すように、今度は高電圧検出回路130により電源VCCの電圧が上限電圧4Vよりも大きいのか否かの検出が行われる。そして、電源VCCの電圧が上限電圧4Vよりも大きいと判断されると、ステップS8に示すように制御信号132によりアナログスイッチ100が非導通状態にされる。そして、この場合にはステップS9に示すようにI Cカードへのアクセスは不可となる。一方、電源V

CCの電圧が上限電圧4V以下と判断されると、ステップS5に示すように制御信号132によりアナログスイッチ100が導通状態にされる。これによりステップS6に示すように、ICカードに対するアクセスが可能となり、ホストシステムとICカードとの間でデータのやりとりが行われることになる。

【0088】(4) 第4の実施例

図7には、本発明の第4の実施例に係るICカードのブロック図が示される。

【0089】本第4の実施例は、前述の第2の実施例において主回路をSRAM13とした場合の実施例である。

【0090】第4の実施例と第2の実施例の構成・動作の差異は、前述の第3の実施例と第1の実施例の構成・動作の差異と同様であるため、以下の説明を省略する。

【0091】なお、図8には、本第4の実施例においてICカードを装填した後の処理手順についてのフロチャートが示される。図8のフロチャートと図6のフロチャートで異なる点は、ステップS10とステップS11である。即ち、本第4の実施例では、電源VCCの電圧が上限電圧4Vより大きくステップS8でアナログスイッチ100が非導通状態となった後には、定電圧回路140により電源VCCの電圧が3.3Vに定電圧化される。従って、この場合には前述の第3の実施例と異なり、ステップS11に示すようにICカードに対するアクセスが可能となる。これにより、ホストシステムとICカードとの間でデータのやりとりが行われることになる。

【0092】(5) 第5の実施例

以下に説明する第5、第6の実施例は、接続電源回路、主回路のチップ構成についての例を示す実施例である。以下の説明では、図5に示す第3の実施例のチップ構成を例にとり説明を行うが、第1、第2、第4の実施例についても当然に同様のチップ構成とすることができる。

【0093】さて、低消費電力化、部品点数削減によるコストダウンのためには、接続電源回路、主回路等のICカードを構成する回路は、なるべく少ない数のチップ構成とすることが望ましい。特にICカードは携帯容易とするためにそのサイズも小型化されているため、少ない数のチップ構成とすることは非常に重要なことになる。

【0094】図9(A)に示す第5の実施例では、ICカードをCMOSのICチップ90、91の2チップ構成としている。そして、この場合には、アナログスイッチ100、外部接続回路115、内部接続回路125、高電圧検出回路130、低電圧検出回路135を含む接続電源回路7は、ICチップ90上に形成される。また、主回路であるSRAM13は、ICチップ91上に形成されることになる。

【0095】さて、以上のようにしてICカードを2チ

ップ構成とした場合には、接続電源回路と主回路との信号の接続が問題となる。即ち、接続電源回路の電源はホストシステムの電源と共通化されており、5V規格のホストシステム装填時に、この電源が主回路の電源と異なる電圧となる。この場合に主回路において入力保護ダイオード、寄生ダイオードを介した電源供給が起り、最大定格電圧以下の電源供給という目的が達成できないからである。このことを図10により詳しく説明する。

【0096】通常、CMOS型ICでは、図10に示すように、ICの入力回路160には静電気から回路を保護するためのダイオード162、164が入力端子と電源、入力端子と接地との間に設けられている。また、出力回路166にも、図10に示すような寄生のダイオード168が存在する。仮に、従来の接続回路10にスイッチ176を設けて、内部電源線20と外部電源線21との間を接続・遮断可能になるようにしたとすると、外部電源線20と内部電源線21との間に設けたスイッチ176が非導通状態であっても、接続回路10の出力端子が“H”を出力した場合に以下のような事態が生ずる。即ち、主回路であるSRAM13の入力端子と電源の間に設けられた入力保護ダイオード162を通して電流170が流れる。すると、主回路であるSRAM13の電源VCC1が、ホストシステム及び接続回路10の電源VCCの電圧に引き上げられてしまうという事態が生ずる。また、例えば8ビット入出力のSRAM、DRAMのように、データの入出力が同じ端子で行なわれる主回路では、接続回路10の出力回路174の出力と、主回路であるSRAM13の入出力回路（出力回路166のみ図示）の出力が図10に示すように直接接続される。従って、SRAM13の出力回路166のPチャンネルMOSFETのドレイン領域とサブストレートとの間で構成される寄生ダイオード168を通して電流172が流れることになる。これにより、SRAM13の電源VCC1が、ホストシステム及び接続回路10の電源VCCの電圧に引き上げられてしまうという事態が生ずる。即ち、5V規格のカードスロットに装填したとき、主回路であるSRAM13に最大定格電圧4.6Vを越える5Vの電源が印加されてしまうことになる。

【0097】これに対して、本発明における接続電源回路5、6、7、8、9、11には、このような事態が生じないように内部接続回路120、125が設けられている。これについて図11を使って説明する。図11には外部接続回路115に含まれる出力回路188、及び、入力回路190と出力回路192とで構成される入出力回路が模式的に示される。また、同様に、内部接続回路125に含まれる入力回路180、及び、出力回路182と入力回路186と構成される入出力回路が模式的に示される。なお、外部接続回路115とコネクタとの間には信号40、50が接続され、内部接続回路125と主回路であるSRAM13との間には信号42、5

2が接続されている。

【0098】外部接続回路115及び内部接続回路125は接続電源回路7に含まれており、これらの外部接続回路115及び内部接続回路125は図9(A)に示すように1チップ構成のCMOS型ICとなっている。このように外部接続回路115と内部接続回路125とが1チップ構成となっているため、外部接続回路115と内部接続回路125との間の中間信号41、51、53には、チップ外部から静電気が入る恐れがない。従って、これらの中間信号41、51、53が接続される入力回路180、186、190には入力保護ダイオードを設ける必要がなくなる。従って、例えば中間信号41は‘H’となった場合でも、図10の入力回路160と異なり図11の入力回路180には入力保護ダイオードが設けられていないため、内部電源線21の電圧が引き上げられるということがなくなる。

【0099】また、図11の入出力回路(182、186)は、図10の入出力回路(160、166)と異なり、中間信号が入力用の信号53と出力用の信号51とに分けられている。従って、外部接続回路125の出力が、内部接続回路115の出力節点に接続されないことになる。この結果、中間信号53が‘H’となっても、出力回路182のPチャンネルMOSFETのドレイン領域とサブストレートとの間に形成される寄生ダイオード184には電流は流れないことになる。従って、内部電源線21の電圧が引き上げられるということがなくなる。このように本第5の実施例では、内部接続回路115を設けることで、信号線を介して内部電源線21の電源電圧が引き上げられるのを有効に防止することができる。

【0100】なお、図9(A)から明らかなように、接続電源回路7を1チップ構成とした場合には、ICチップ90は2電源のICチップとする必要がある。このように2電源のICチップとする場合には、各々の電源が接続されるウエルを電氣的に分離する必要がある。例えば、ICチップ90では、基板としてP形シリコンが用いられ、異なる電源が接続される単数又は複数のN形ウエルが設けられる。即ち、内部接続回路125用に設けられたN形ウエルには主回路であるSRAM13と共通の内部電源線21が接続される。一方、内部接続回路125以外の回路用に設けられたN形ウエルには外部電源線20が接続される。これにより、外部電源線20と内部電源線21との間の電源分離が可能となる。ここで、N形ウエルとは、P形シリコン基板の表面に比較的深くリンなどの不純物を拡散して形作られ、CMOSを構成するPチャンネルMOSFETのサブストレートとなる領域である。例えば、図9(A)の場合には、接続電源回路7に含まれる回路のうち、アナログスイッチ100、外部接続回路115、高電圧検出回路130、低電圧検出回路135用に設けられたN形ウエルには、外部

電源線20が接続される。一方、内部接続回路125用に設けられたN形ウエルには、主回路であるSRAM13と共通の電源線である内部電源線21が接続されることになる。

05 【0101】なお、図1、図2、図5、図7に示す実施例では、GND電源が全ての回路に共通の基準電源となり、正の電源VCCを外部電源線20、内部電源線21に分けてそれぞれの回路に供給していた。従って、この場合には、基板の電源はGNDとなり、ウエルが正の電源VCCに接続される。この結果、基板がP型、ウエルがN型となる。しかし、本発明はこれに限るものではなく、図12のような回路構成とすることもできる。即ち、図12の場合には、GND電源が基準電源となるとともに、負の電源VSSを外部電源線25と内部電源線26とに分けることになる。従って、この場合にはGND電源が接続されている基板がN型、負の電源が接続されているウエルがP型となる。そして、外部電源線25が接続されるP型のウエルと、内部電源線26が接続されるP型のウエルとが電氣的に分離されることになる。

10 また、この場合には、高電圧検出回路130では、ホストシステムの電源VSSの電圧の絶対値が所定電圧(例えば上限電圧-4V)の絶対値以下の場合にアナログスイッチ100が導通状態にされる制御が行われる。また、ホストシステムの電源VSSの電圧の絶対値が所定電圧(-4V)の絶対値よりも大きい場合にアナログスイッチ100が非導通状態にされる制御が行われる。この点は、低電圧検出回路135においても同様である。

25 【0102】なお、異なる電源のICチップ接続時に、保護ダイオード、寄生ダイオードを介して電源が変動されるのを防止する手法としては、上述のように内部接続回路を設けるとともに、ウエルを分離する手法に限らず、種々の手法が考えられる。例えば、図13では、ICチップ200とICチップ202とでは、供給される電源がVCC、VCC1というように異なっている。この場合にはICチップ200上に、ゲート電極が入力回路204の出力に接続され、ソース領域が基準電源GNDに接続され、ICチップ202への出力信号212がドレイン領域に接続されたNチャンネルMOSFET206を設ける。このように接続すると、NチャンネルMOSFET206がオン状態の時は出力信号212はGNDレベルとなる。一方、NチャンネルMOSFET206がオフ状態の時は、出力信号212は抵抗208によりプルアップされ、電源VCC1の電圧に設定されることになる。このように図13に示す手法を用いれば、供給電源が異なるICチップ200、202を接続した場合も、信号線を介した電源の回り込みを有効に防止できる。なお、この場合、NチャンネルMOSFET206に代えてバイポーラトランジスタを用いることも可能である。

50 【0103】(6)第6の実施例

図9 (B) に示す第6の実施例は、ICカードをCMOSのICチップ92の1チップ構成とした実施例である。低消費電力化、部品点数削減によるコストダウンのためには、このように主回路であるSRAM13と接続電源回路11とを1チップにする構成とするのが最も望ましい。特に前述の医療用途等に使われるICカードのようにICチップを1チップのみ搭載するICカードには特に有効である。1チップ構成を実現する方法としては、接続電源回路7のチャンネル長とゲート酸化膜厚を、主回路であるSRAM13のそれらより各々長く、厚くして部分的に最大定格電圧を5V以上に上げる方法がある。また、特許出願平成4-298757には、製造プロセスを変更することなく、動作電圧3.3VのIC上に、5VのICとの接続回路を実現する方法が開示されている。この方法を用いて接続電源回路を作れば、製造プロセスの変更によるコストアップをせずに1チップ化を実現できる。いずれの方法にしる1チップ化した場合には、図9 (B) に示すように、内部接続回路は省略できる。また、前述の第5の実施例で述べたのと同様に、外部接続回路115と主回路であるSRAM13との間の信号線を双方向とせず、入力用と出力用とに分ける必要がある。

【0104】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0105】例えば、本発明は、第1～第6の実施例に示したROM、SRAMを主回路としたICカードに限らず、全ての種類のICカードに適用できる。例えば、本発明は主回路としてDRAM（動的記憶）を用いたメモリーカードにも適用できる。この場合には、図1、図2のXCE (Chip Enable) 信号をXRAS (Row Address Strobe) 信号、XCAS (Column Address Strobe) 信号に置き換え、XWE (Write Enable) 信号を追加し、データを双方向にするなど若干の変更を行えば良い。また、本発明は、主回路としてEPROMカード、OTPROMカード、EEPROMカード、フラッシュ型EEPROMカード、これらのメモリーの混在型カード等を用いたICカードにも当然に適用できる。また、本発明は、主回路としてマイクロプロセッサ、メモリを用いたICカード、即ちISO準拠のICカードにも適用できる。更に、主回路にモデム、LAN、インサートネット等の機能を有する回路を用いたICカードにも適用できる。

【0106】また、本発明は、主回路に正負の2電源を必要とするアナログ回路を含んだICカードにも適用できる。例えば、高電圧検出回路、アナログスイッチ、定電圧回路等の電源系の回路はデジタル回路と同様に構成する。そして、アナロググラウンド電源、アナログ信号を変換する外部接続回路、内部接続回路の回路素子、あ

るいは回路ブロックを、検出されたホストシステムの電源電圧に応じて選択する回路構成とする。このように構成することで、主回路に正負の2電源のアナログ回路を含んだICカードにも本発明を適用できることになる。

05 【0107】また、本発明は、第5、第6の実施例に示すような1チップ構成、2チップ構成とするものに限らず、高電圧検出回路、低電圧検出回路、アナログスイッチ、定電圧回路等の全部または一部に既存の製品を使用する等の複数チップ構成とすることもできる。この場合
10 には前記実施例の説明から明かなように、内部接続回路の入力端子と電源の間に入力保護ダイオードを設けないことや、外部接続回路と内部接続回路の間の信号線を双方向とせず、入力用と出力用とに分けること等が必要である。

15 【0108】

【発明の効果】請求項1の発明に係るICカードによれば、あらかじめ設定された所定電圧以下の電源電圧を供給するホストシステムにICカードが装填された場合には、ホストシステムの電源がそのまま主回路に供給され
20 る。一方、あらかじめ設定された所定電圧より大きい電源電圧を供給するホストシステムにICカードが装填された場合には、主回路に対するホストシステムの電源の供給が遮断されることになる。従って、異なった規格のホストシステムに接続した場合に主回路が劣化したり、
25 破壊されたりすることを有効に防止できる。また、最先端の例えば3.3V規格のICを登載することが可能となり、IC電子装置の外部装置として好適な、大規模、高速、低消費電力で、信頼性の高いICカードを実現できる。

30 【0109】また、請求項2の発明によれば、あらかじめ設定された所定電圧以下の電源電圧を供給するホストシステムにICカードが装填された場合には、ホストシステムの電源がそのまま主回路に供給されることになる。一方、あらかじめ設定された所定電圧より大きい電源電圧を供給するホストシステムにICカードが装填された場合には、定電圧回路により定電圧化された電圧が主回路に供給されることになる。これにより前記所定電圧以上の電源電圧を供給するホストシステムに装填されても正常に動作することが可能となる。また、最先端の
35 例えば3.3V規格のICを登載することが可能となり、IC電子装置の外部装置として好適な、大規模、高速、低消費電力で、信頼性の高いICカードを実現できる。更に、例えば3.3V規格のホストシステムから得たデータを5V規格のホストシステムで利用したり、逆に5V規格のホストシステムから得たデータを3.3V規格のホストシステム利用したりすることもできる。これによりICカードの持つ利便性、汎用性等の特性を更に高めることができる。

40 【0110】また、請求項3の発明によれば、スイッチ手段がCMOS型のトランスファークロークで構成される

ため、主回路で消費される負荷電流が増えてもそれ程電圧降下が生じない。この結果、電源電圧を容易に推奨動作電圧の範囲に収めることができるとともにラッチアップ等が生ずるのを効果的に防止できる。これにより、信頼性等を大幅に向上できる。

【0111】また、請求項4の発明によれば、前記所定電圧が上限電圧に設定されるため、主回路に最大定格電圧以上の電圧が印加されないことが保証される。また、ホストシステムの電源電圧がこの上限電圧以下の場合には、そのままホストシステムの電源電圧が主回路に印加され、これにより主回路が適正な動作を行うことになる。この場合、I Cカードが装填されるホストシステムの電源は、通常、例えば5 V又は3.3 Vのどちらかになるため、このように上限電圧のみで確実性の高い電源切り換えの判断が可能となる。

【0112】また、請求項5の発明によれば、低電圧検出手段を新たに設けることにより、ホストシステムから供給される電源の電圧が、この下限電圧以下であった場合には、少なくとも主回路が動作しないような設定が可能となる。これにより、例えばホストシステムへのI Cカード装填時等に、I Cカードの正常な動作を保証することが可能となる。

【0113】また、請求項6の発明によれば、接続電源回路が1チップ構成となる。これにより、低消費電力化、部品点数削減によるコストダウン等が可能となる。しかも、この場合、内部接続回路以外の回路・手段用に設けられた第1のウエルと、内部接続回路用に設けられた第2のウエルとが電気的に分離されるため、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できる。従って、I Cカードの信頼性を更に高めることが可能となる。

【0114】また、請求項7の発明によれば、接続電源回路が1チップ構成となる。これにより、低消費電力化、部品点数削減によるコストダウン等が可能となる。そして、ドレイン領域が主回路の信号端子に接続されるとともに、抵抗性の素子を介して第2の電源に接続されたドライバー用トランジスタが設けられるため、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できることになる。これによりI Cカードの信頼性を更に高めることが可能となる。

【0115】また、請求項8の発明によれば、接続電源回路と主回路とが1チップ構成となる。これにより、接続電源回路のみを1チップ構成とした場合よりも、更なる低消費電力化、部品点数削減によるコストダウン等が可能となる。そして、接続電源回路用に設けられた第1のウエルと主回路用に設けられた第2のウエルとが電気的に分離されるため、第1の電源電圧が、保護用ダイオード、寄生ダイオードを介して主回路に伝わるのを簡易に防止できることになる。これによりI Cカードの信頼

性を更に高めることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

05 【図2】本発明の第2の実施例を示すブロック図である。

【図3】本発明に使用される定電圧回路の回路図の一例である。

10 【図4】本発明に使用される定電圧回路の入出力特性図である。

【図5】本発明の第3の実施例を示すブロック図である。

【図6】第3の実施例において低電圧を検出する場合の処理手順を示すフローチャートである。

15 【図7】本発明の第4の実施例を示すブロック図である。

【図8】第4の実施例において低電圧を検出する場合の処理手順を示すフローチャートである。

20 【図9】図9(A)は本第5の実施例を説明するための概略説明図であり、図9(B)は、本第6の実施例を説明するための概略説明図である。

【図10】入力保護ダイオード、寄生ダイオードを通した電源供給を説明するための概略説明図である。

25 【図11】外部接続回路、内部接続回路に含まれる入力回路、入出力回路の概略説明図である。

【図12】電源電圧を負の電圧とし、N基板上にPウエルを設ける構成のI Cチップとした場合のブロック図である。

30 【図13】異なる電源のI Cチップを接続した場合に信号を介した電源の回り込みがないようにする手法について説明するための概略説明図である。

【図14】従来例で主回路がROMの場合のブロック図である。

35 【図15】従来例で主回路がROMの場合のブロック図である。

【符号の説明】

2、3、4 コネクタ

5、6、7、8、9、11 接続電源回路

10 接続回路

40 12 ROM(主回路)

13 SRAM(主回路)

20 外部電源線

21 内部電源線

30、31 制御信号

45 32、33、34、35、36、41、42、51、52 出力信号

40 アドレス信号

50 データ信号

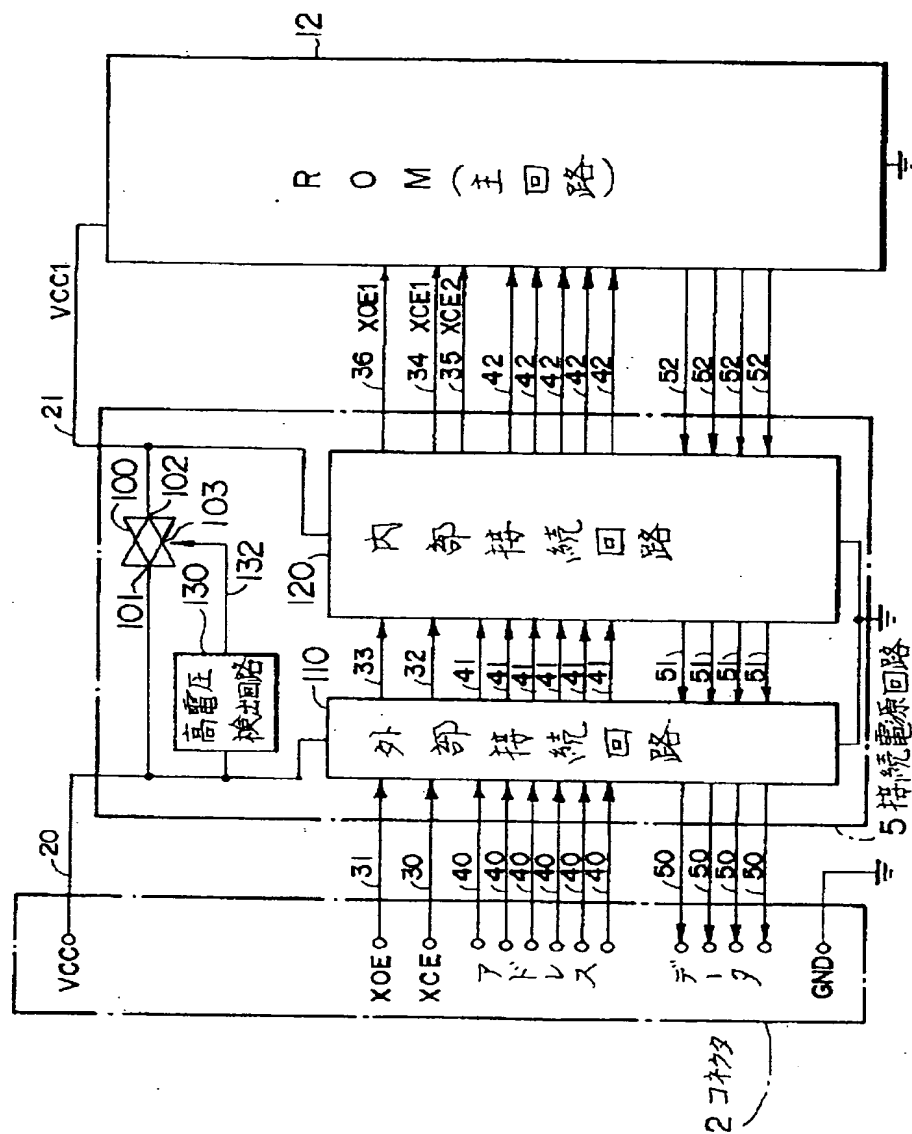
70、71 ダイオード

50 80 内蔵電池

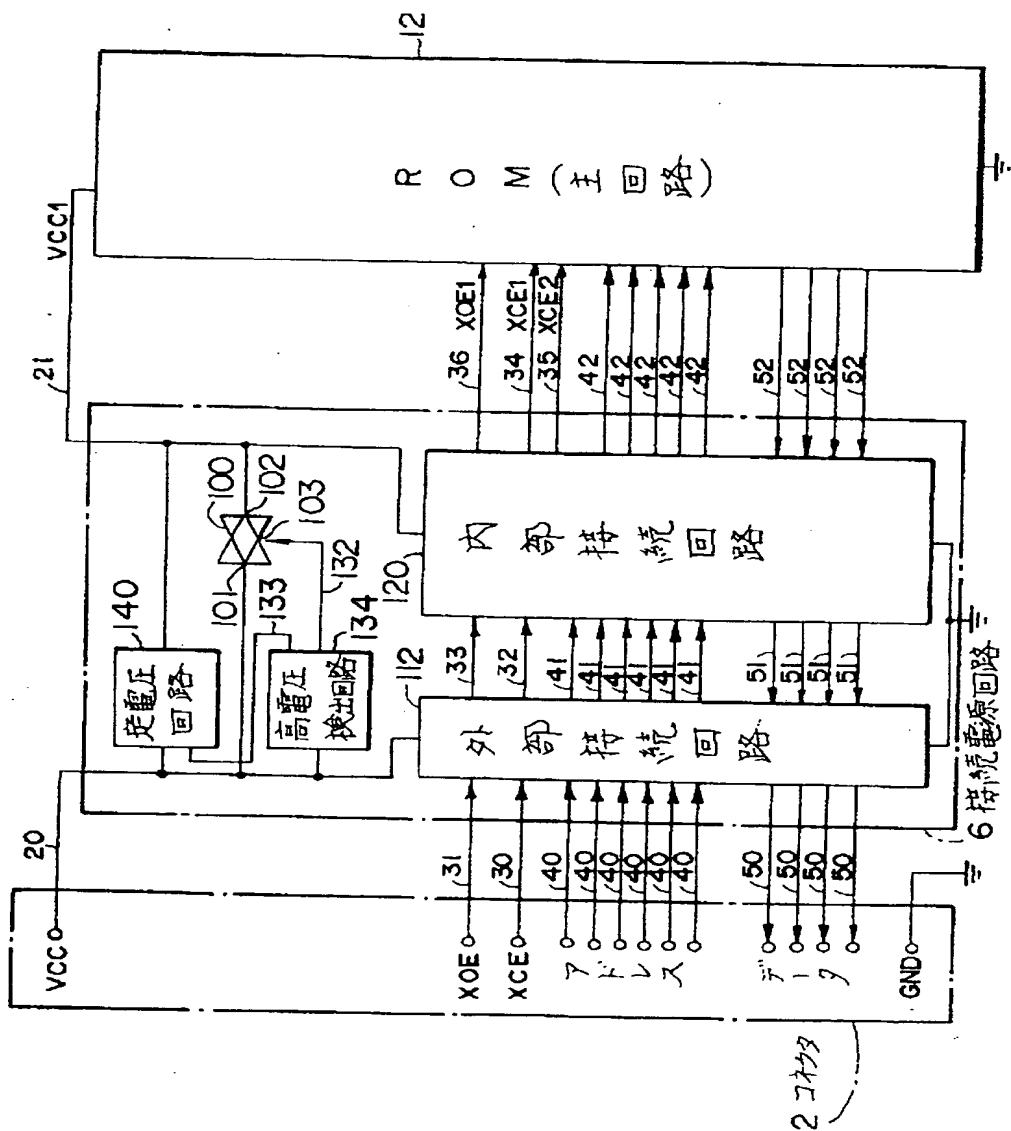
- | | |
|-------------------------|-----------------|
| 90、91、92 ICチップ | 130、134 高電圧検出回路 |
| 100 アナログスイッチ | 132、133 制御信号 |
| 101、102、103 第1、第2、第3の端子 | 135 低電圧検出回路 |
| 110、112、115、116 外部接続回路 | 140 定電圧回路 |
| 120、125 内部接続回路 | |

05

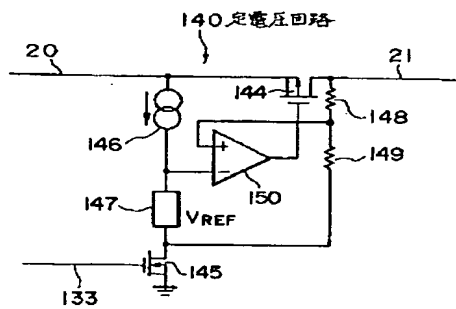
【図1】



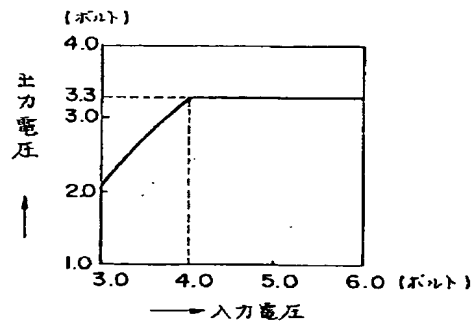
【図2】



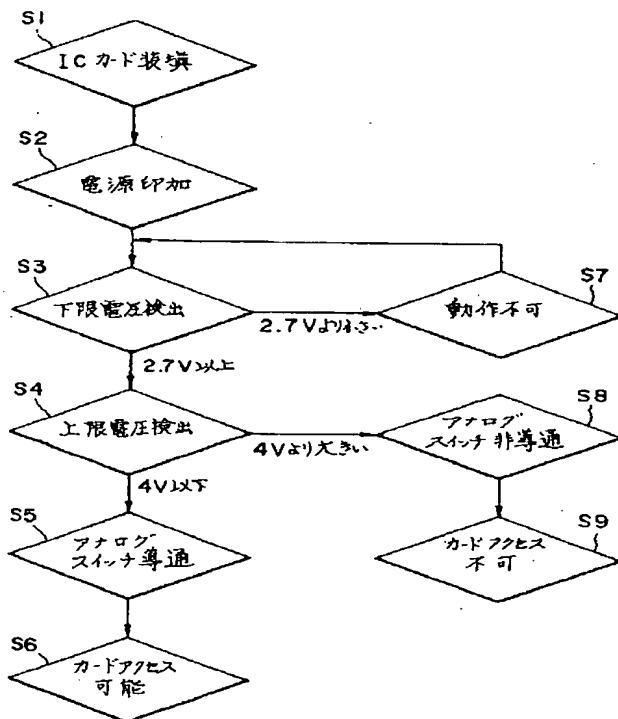
【図3】



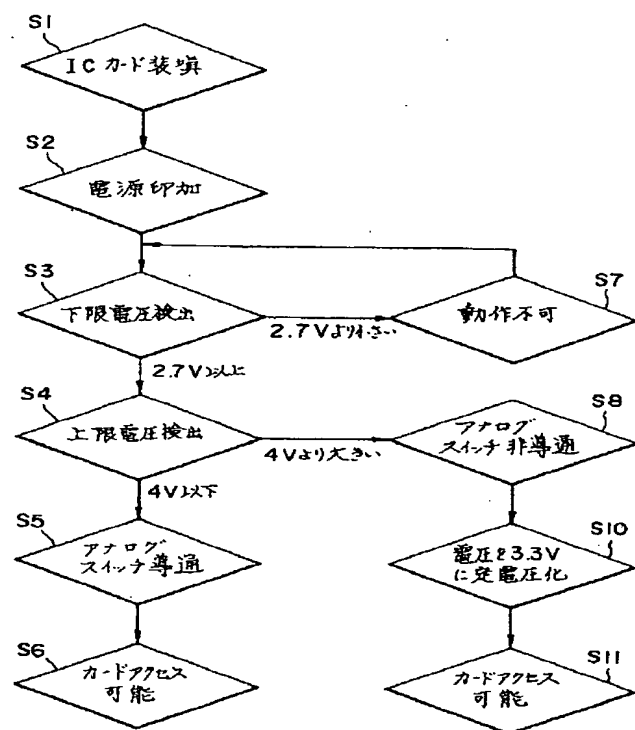
【図4】



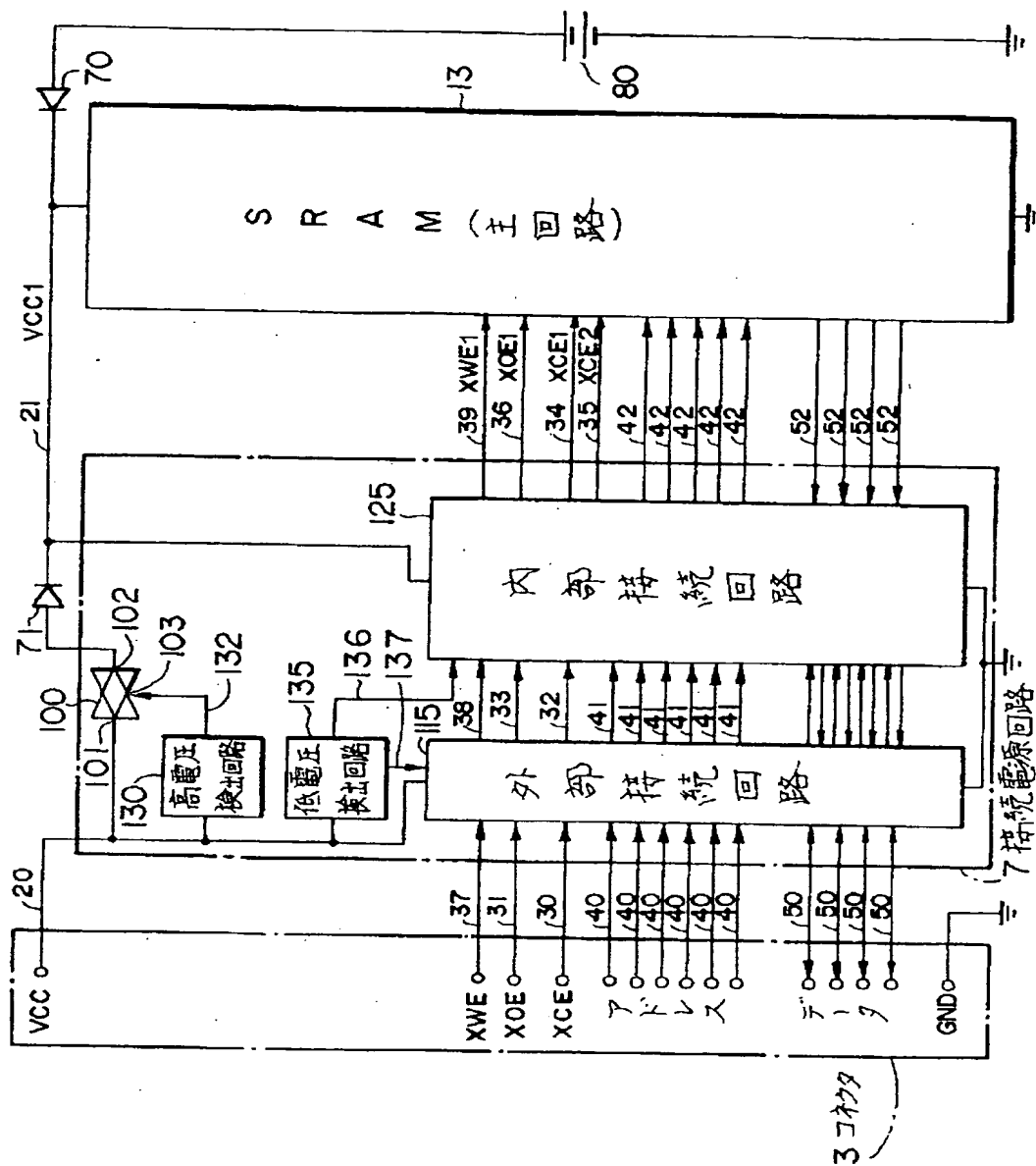
【図6】



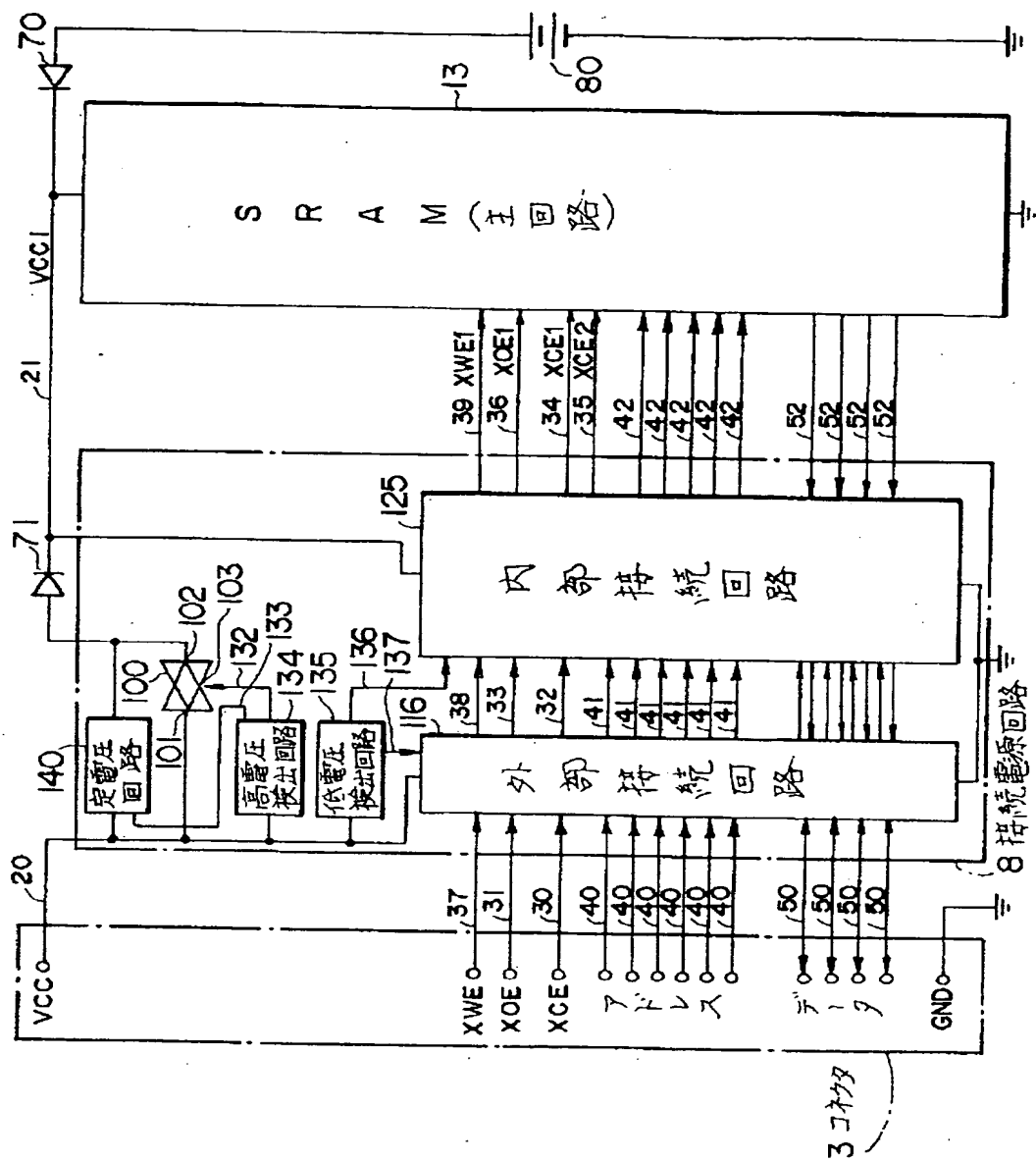
【図8】



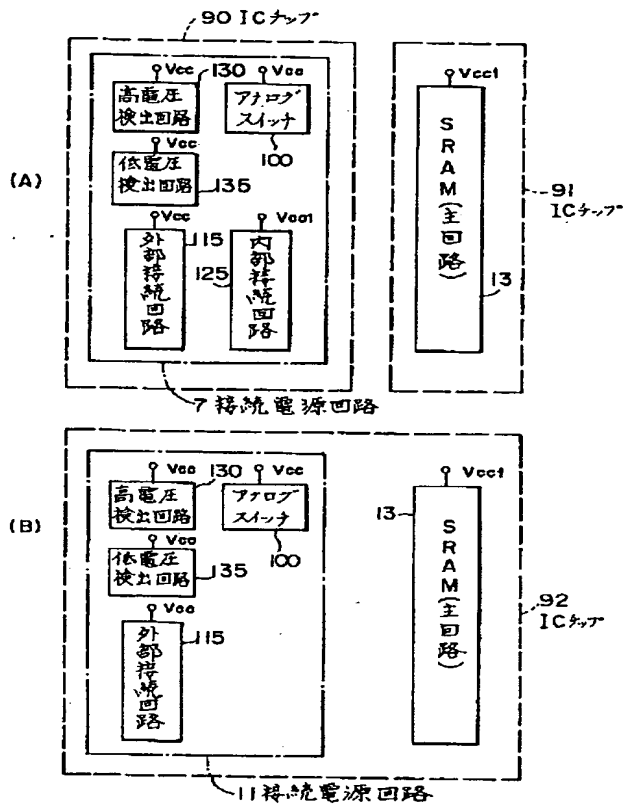
【図5】



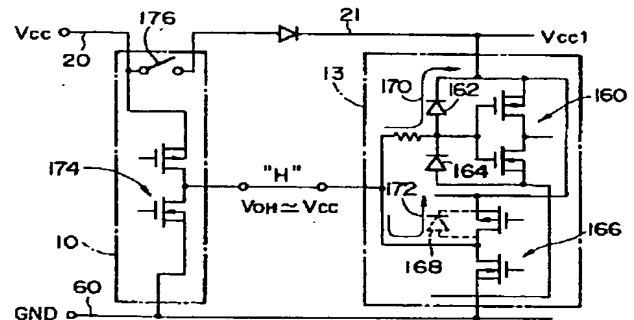
【図 7】



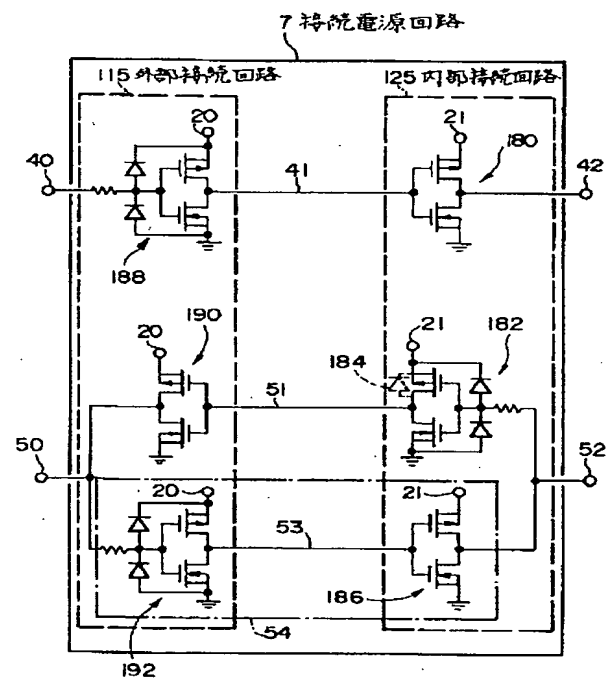
【図9】



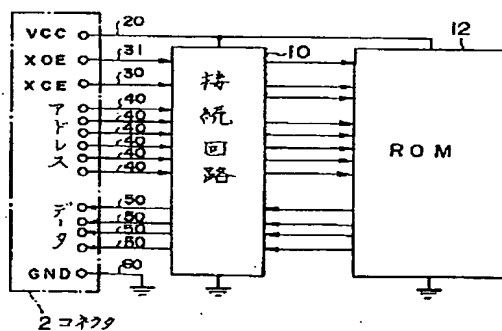
【図10】



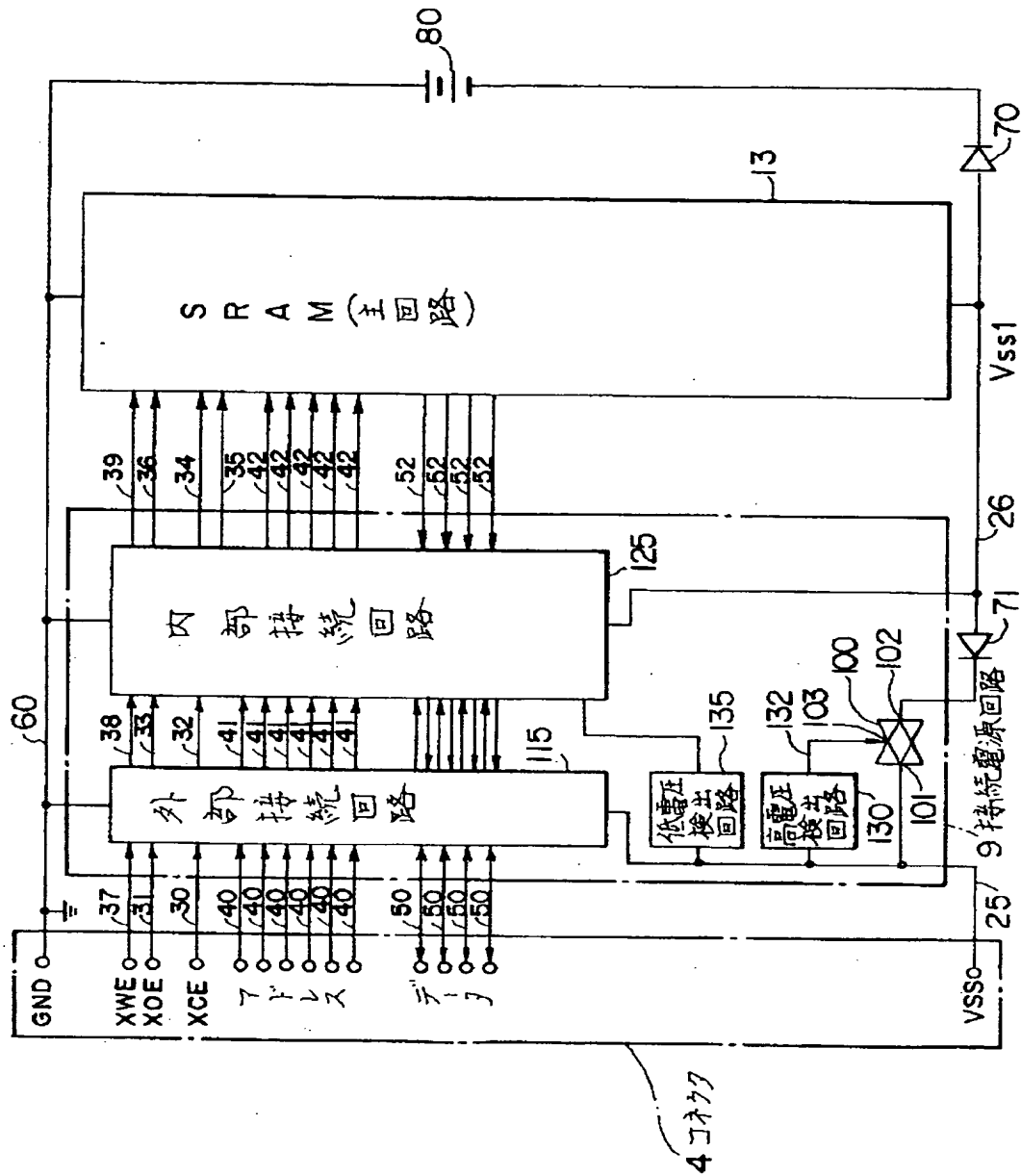
【図11】



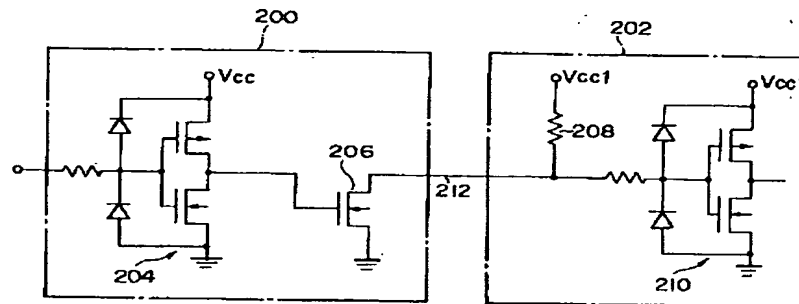
【図14】



【図12】



【図13】



【図15】

